

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

출력 일자: 2001/1/2

발송번호 : 9-5-2000-034336050

발송일자 : 2000.12.29

제출기일 : 2001.02.28

수신 : 서울 강남구 역삼1동 648-23 대흥빌딩

402호

이화익 귀하

135-911

특허청 의견제출통지서

출원인 성명 미쓰비시덴키 가부시키가이샤 (출원인코드: 519980960919)

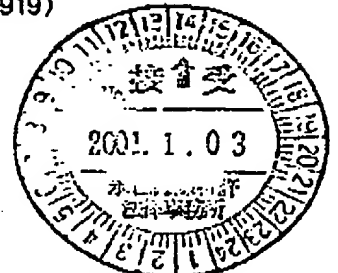
주소 일본국 도쿄도 지요다구 마루노우치 2쉐에 2반 3고

대리인 성명 이화익

주소 서울 강남구 역삼1동 648-23 대흥빌딩 402호

출원번호 10-1997-0049100

발명의 명칭 반도체장치및그제조방법



이 출원에 대한 심사결과 거절이유가 있어 아래와 같이 통지하오니 의견이 있는 경우에는 특허법 제 63조의 규정에 의하여 의견서를, 보정이 필요한 경우에는 특허법 제47조제2항제3호의 규정에 의하여 보정서를 위의 기간내에 제출하여 주시기 바랍니다. (위의 기간은 매회 1월 단위로 연장신청할 수 있으며, 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제5항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

제5항은 제2도전형의 채널을 갖는 두 개의 트랜지스터에서 게이트 전극을 질소가 도입된 제1폴리층과 제2도전형의 불순물이 포함된 제2폴리층으로 구성된 것에 특징이 있으나, 일본특개평09-022999(공개일97.1.21)에는 게이트 전극이 질소가 도입된 비정질층과 불순물이온이 도핑된 폴리실리콘층으로 구성된 MIS 반도체 소자에 관한 기술이 나타나 있습니다.

[참 부]

첨부1 일본특개평09-022999(공개일97.1.21)

끝.

2000.12.29

특허청 심사4국

심사관 오서



<<안내>>

문의사항이 있으시면 ☎ 042-481-5752 로 문의하시기 바랍니다.

Japanese Patent Laying Open Gazette No. P09-22999:

"MIS TYPE SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME"

The following is an extract relevant to the present application.

A first amorphous silicon layer 205 is deposited on a gate insulating film, and a first polycrystalline silicon film 206 is then deposited. Next, nitrogen 207 ionized using the ion implantation method is introduced by approximately 1×10^{15} [atoms/cm²] at an acceleration voltage of 50KeV (Fig. 1(a)). Next, a dangling bond of silicon existing on a boundary between the first amorphous silicon layer and the polysilicon is bonded to the introduced nitrogen to form a nitride silicon layer 212 by 3nm. Subsequently, boron ion 211, for example, is introduced as a P type impurity into a P channel transistor portion by 5×10^{15} [atoms/cm²] at 15KeV in order to determine the conductivity of source/drain regions and a gate electrode layer (Fig. 1(b)). In order that the introduction of an impurity into the source/drain regions should be carried out in a self-aligned manner for the gate electrode layer, an N type impurity is introduced into the gate electrode layer of an N channel MOS transistor, and a P type impurity is introduced into the gate electrode layer of a P channel MOS transistor.

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-22999

(43) 公開日 平成9年(1997)1月21日

(31) Int. Cl.⁴

国際符号

特許庁登録番号

FI

特許庁登録所

H01L 29/78

H01L 29/78

801G

審査請求 未請求 請求項の数13 図13 (全9頁)

(21) 出願番号

特願平7-172525

(22) 出願日

平成7年(1995)7月7日

(71) 出願人

000002989

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者

田中 和雄

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人

弁理士 鈴木 喜三郎 (外1名)

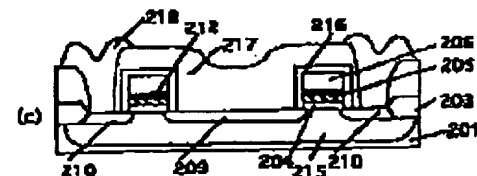
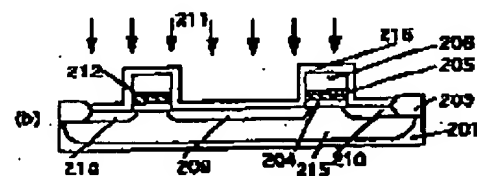
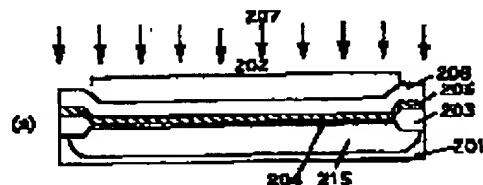
(50) 【発明の名称】 MIS型半導体装置及びその製造方法

(57) 【要約】

【目的】ゲート電極中の不純物によるゲート下のチャネル部への拡散を防ぐ。

【構成】ゲート電極層をアモルファスシリコンとポリシリコンの2層構造とし、アモルファスシリコンとポリシリコン層間に酸素あるいは窒素を含む層を介在させる。P型シリコン基板201上に、N型のウェル拡散層215を形成し、ゲート酸化膜204を形成する。この上部に第1アモルファスシリコン層205を堆積する。次に第1多結晶シリコン膜206を堆積させ、イオン注入法を用いてイオン化した窒素207を導入する。こうしてゲート電極層208を形成する。次に第1アモルファスシリコン層とポリシリコンの境界に存在するシリコンの未結合手と注入した窒素を結合させる窒化シリコン層212を形成する。

【効果】熱処理によるドーパント不純物が異常な拡散や増速拡散を起こさなくなりMISトランジスタの特性の安定化を図ることが出来る。



【特許請求の範囲】

【請求項1】主に導電体—絶縁膜—半導体基板が半導体素子の主要構成要素としてなっており、前記導電体として構成される材料は、前記絶縁膜上から少なくとも順にシリコンを主成分として含む第1のシリコン層とシリコンを主成分として含む第2のシリコン層とから構成されるMIS半導体素子に於て、前記第1のシリコン層と第2のシリコン層間には、酸素あるいは窒素を主成分とする成分が介在してなることを特徴とするMIS型半導体装置。

【請求項2】主に導電体—絶縁膜—半導体基板が半導体素子の主要構成要素としてなっており、前記導電体として構成される材料は、前記絶縁膜上から少なくとも順にシリコンを主成分として含む第1のシリコン層とシリコンを主成分として含む第2のシリコン層とから構成されるMIS半導体素子に於て、前記第1のシリコン層と第2のシリコン層間には、少なくとも窒素の濃度が 1×10^{14} [個/cm³] 以上 2×10^{22} [個/cm³] 未満含まれるしてなる領域が存在してなることを特徴とするMIS型半導体装置。

【請求項3】前記、請求項1記載のMIS型半導体装置において、酸素あるいは窒素を主成分とする成分層は6nm未満であることを特徴とするMIS型半導体装置。

【請求項4】前記、請求項1記載のMIS型半導体装置において、酸素あるいは窒素を主成分とする成分層は、窒化シリコン、酸化シリコン、窒化チタン、窒化タングステン、窒化モリブデンであることを特徴とするMIS型半導体装置。

【請求項5】MIS型半導体装置の製造方法において、少なくともシリコン基板上にシリコン酸化膜を形成する工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、第2のポリシリコン層を堆積する工程と該第2のポリシリコン層上から酸素イオンを注入する工程と、熱処理をする工程とからなることを特徴とするMIS型半導体装置の製造方法。

【請求項6】MIS型半導体装置の製造方法において、少なくともシリコン基板上にシリコン酸化膜を形成する工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、第2のポリシリコン層を堆積する工程と該第2のポリシリコン層上から酸素イオンを注入する工程と、熱処理をする工程とからなることを特徴とするMIS型半導体装置の製造方法。

【請求項7】MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、該第一の多結晶シリコン層あるいは第一のアモルファスシリコン層上を酸素プラズマ雰囲気中に曝す工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマスクにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリ

コン層と第2多結晶シリコン層をエッチングする工程とからなるからなることを特徴とするMIS型半導体装置の製造方法。

【請求項8】MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、該第一の多結晶シリコン層あるいは第一のアモルファスシリコン層上を酸素プラズマ雰囲気中に曝す工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマスクにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層と第2多結晶シリコン層をエッチングする工程とからなるからなることを特徴とするMIS型半導体装置の製造方法。

【請求項9】MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、酸素雰囲気中で酸化する工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマスクにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層と第2多結晶シリコン層をエッチングする工程とからなるからなることを特徴とするMIS型半導体装置の製造方法。

【請求項10】MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、酸素雰囲気中で熱酸化する工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマスクにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層と第2多結晶シリコン層をエッチングする工程とからなるからなることを特徴とするMIS型半導体装置の製造方法。

【請求項11】MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層上表面を少なくとも酸素を含む溶液中に浸す工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマスクにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層と第2多結晶シリコン層をエッチングする工程とからなるからなることを特徴とするMIS型半導体装置の製造方法。

【請求項12】MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層上表面を少なくとも酸素を含む溶液中に浸す工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマ

クにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層と第2多結晶シリコン層をエッチングする工程とからなることを特徴とするMIS型半導体装置の製造方法。

【請求項13】前記、請求項9、請求項10記載のMIS型半導体装置において、酸素、窒素を含む溶液として、水、過酸化水素、過酸化水素水溶液、硫酸、硫酸水溶液、アンモニア水溶液、水酸化カリウム水溶液、メタノール、エタノール、イソプロピルアルコール、酢酸水溶液、硝酸水溶液をおもに含有する溶液であることを特徴とするMIS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、MIS型半導体装置および、その製造方法に関するものである。特に、ゲート電極の構造を改良した半導体装置に関する。

【0002】

【従来の技術】従来より、MIS形トランジスタのゲート電極及び配線の構造として、ゲート酸化膜の上にポリシリコン層が形成されたゲート電極が知られている。図5に、従来のMIS型半導体装置の製造方法及び構造をゲート酸化工程以降について概略を示す。

【0003】N型、比抵抗 $10 \sim 20 (\Omega \text{cm})$ のシリコン基板101上に、ゲート酸化膜102を 1000°C O_2 雰囲気中で、 20nm 形成させたのち、ゲート電極層108として、例えば、第1多結晶シリコン層107をCVD (Chemical Vapour Deposition) 法によって 200nm 堆積させた後、この後、燐イオン111をイオン注入法によって、 30KeV のエネルギーで 5×10^{15} [個/ cm^2] 注入させる (図5 (a))。

【0004】ついで、ポジレジストを用いたフォトリソグラフィによって所望のパターニングをし、ドライエッチングによって、第1多結晶シリコン層107をエッチングしてゲート電極層108を形成した。ドライエッチングは CF_4 ガスを用い、圧力 0.8mTorr 雰囲気中、 150W のパワーで約60秒行う。

【0005】さらに、 900°C 水素気雰囲気中で30分間酸化し、ゲート電極層208の周囲に約1000の酸化シリコン膜を形成させる。

【0006】こののち、MOSTランジスタのソース、ドレインとなる部分109をポジレジストをもちいたフォトリソグラフィによって、開孔した後、イオン化酸素を 9×10^{15} [個/ cm^2] イオン注入する (図5 (b))。

【0007】この後、層間酸化シリコン膜110を、たとえばCVD法によって堆積させたのち、コンタクト孔をフォトリソグラフィ、および、ドライエッチングによって開孔し、配線金属 (例えば、 Al) を蒸着し、配線金属をフォトリソグラフィ、および、ドライエ

ッチングして、配線に必要な部分をのこす (図6 (d))。

【0008】以上従来のMIS型半導体装置の製造方法の概略をしめした。

【0009】

【発明が解決しようとする課題】従来の半導体装置では、前記従来例のようにゲート電極層として、多結晶シリコンを用いている。しかし、特にP型MOSトランジスタのゲート電極層を3価の不純物原子、たとえばほう素を用いて多結晶シリコンからなる電極層を形成させた場合、ほう素は多結晶シリコン中の結晶粒界を介して単結晶中よりも3倍から5倍程度早く拡散するため、ほう素は溝の場合よりは早くゲート絶縁膜中に拡散してしまう。しかも、ほう素は絶縁膜中を迅速に拡散してしまうため、微細化されたトランジスタのゲート酸化膜中を容易に通抜けしてしきい値電圧を変化させたり、ほう素が絶縁膜中でクラスター化し絶縁膜性を失ってしまう、いわゆる突き抜け現象を起こしてしまうという問題点を有していた。たとえば、前記従来例で 950°C の熱処理を行なうと導入させたほう素がゲート酸化膜を若干突き抜けるために、MOSTランジスタのしきい値電圧が 0.1 から 1 ボルト以上も低下してしまっていた。

【0010】さらにゲート電極層として、ポリシリコンと高融点金属とシリコンの化合物の二層構造からなるいわゆるポリサイド電極の場合、多結晶シリコンとシリサイド間の偏析係数はシリサイドの方が3倍程度大きいため、多結晶シリコン中の不純物はタングステンシリサイド中へより多く取り込まれることになる。これにより、トランジスタのしきい値電圧を精度良くコントロールするために、多結晶シリコン中の不純物濃度を過剰に設定する必要があり、ゲート膜のつきぬけが更に悪化してしまうということも問題となっていた。従来技術では、イオン注入と熱拡散により一旦ポリシリコン中に不純物が導入されても、上記の理由でトランジスタ多結晶シリコンからゲート膜中及びシリサイド中へ不純物が再分布してしまうためトランジスタの微細化とそれにともなう低電圧動作化の障害の一つになっていた。この現象はトランジスタの微細化にともないポリシリコン膜厚が薄くなればより顕著になることは自明である。

【0011】そこで、本発明はこのような課題を解決しようとするもので、その目的とするところは、安定したP型、N型多結晶シリコンをもつゲート電極を構成できる技術を提供するものである。

【0012】

【課題を解決するための手段】

（手段1）本発明のMIS型半導体装置は、主に導電体-絶縁膜-半導体基板が半導体素子の主要構成要素としてなっており、前記導電体として構成される材料は、前記絶縁膜上から少なくとも順にシリコンを主成分として含む第1のシリコン層とシリコンを主成分として含む

第2のシリコン層とから構成されてなるMIS半導体素子に於て、前記第1のシリコン層と第2のシリコン層間には、酸素あるいは窒素を主成分とする成分が介在してなることを特徴とする。

【0013】(手段2) 本発明のMIS型半導体装置は、主に導電性絶縁膜半導体基板が半導体素子の主要構成要素としてなっており、前記導電性として構成される材料は、前記絶縁膜上から少なくとも順にシリコンを主成分として含む第1のシリコン層とシリコンを主成分として含む第2のシリコン層とから構成されてなるMIS半導体素子に於て、前記第1のシリコン層と第2のシリコン層間には、少なくとも窒素の濃度が 1×10^{14} [個/cm³]以上 2×10^{22} [個/cm³]未満含まれるしてなる領域が存在してなることを特徴とする。

【0014】(手段3) 本発明のMIS型半導体装置は、前記、手段1のMIS型半導体装置において、酸素あるいは窒素を主成分とする成分層は6nm未満であることを特徴とする。

【0015】(手段4) 本発明のMIS型半導体装置は、前記、手段1のMIS型半導体装置において、酸素あるいは窒素を主成分とする成分層は、窒化シリコン、酸化シリコン、窒化チタン、窒化タングステン、窒化モリブデンであることを特徴とする。

【0016】(手段5) 本発明のMIS型半導体装置の製造方法は、MIS型半導体装置の製造方法において、少なくともシリコン基板上にシリコン酸化膜を形成する工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、第2のポリシリコン層を堆積する工程と該第2のポリシリコン層上から酸素イオンを注入する工程と、熱処理をする工程とからなることを特徴とする。

【0017】(手段6) 本発明のMIS型半導体装置の製造方法は、MIS型半導体装置の製造方法において、少なくともシリコン基板上にシリコン酸化膜を形成する工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、第2のポリシリコン層を堆積する工程と該第2のポリシリコン層上から酸素イオンを注入する工程と、熱処理をする工程とからなることを特徴とする。

【0018】(手段7) 本発明のMIS型半導体装置の製造方法は、MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、該第一の多結晶シリコン層あるいは第一のアモルファスシリコン層上を酸素プラズマ雰囲気中に曝す工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマスクにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層と第2多結晶シリコン層をエッチングする工程とからなるからなることを特徴とする。

【0019】(手段8) 本発明のMIS型半導体装置の製造方法は、MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、該第一の多結晶シリコン層あるいは第一のアモルファスシリコン層上を酸素プラズマ雰囲気中に曝す工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマスクにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層と第2多結晶シリコン層をエッチングする工程とからなるからなることを特徴とする。

【0020】(手段9) 本発明のMIS型半導体装置の製造方法は、MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、酸素雰囲気中で熱酸化する工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマスクにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層と第2多結晶シリコン層をエッチングする工程とからなるからなることを特徴とする。

【0021】(手段10) 本発明のMIS型半導体装置の製造方法は、MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、窒素雰囲気中で熱酸化する工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマスクにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層と第2多結晶シリコン層をエッチングする工程とからなるからなることを特徴とする。

【0022】(手段11) 本発明のMIS型半導体装置の製造方法は、MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層上表面を少なくとも酸液を含む溶液中に浸す工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマスクにして、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層と第2多結晶シリコン層をエッチングする工程とからなるからなることを特徴とする。

【0023】(手段12) 本発明のMIS型半導体装置の製造方法は、MIS型半導体装置の製造方法において、少なくともシリコン基板上にゲート酸化をする工程と、第一の多結晶シリコン層あるいは第一のアモルファスシリコン層を堆積する工程と、前記第一の多結晶シリコン層あるいは第一のアモルファスシリコン層上表面を少なくとも酸液を含む溶液中に浸す工程と、第2多結晶シリコン層を堆積する工程と、レジストパターンをマ

例えば硼素イオン 211 を 15keV で 5×10^{15} [個/ cm^2]を導入した。(図2(b))この、ソース、ドレイン領域への不純物の導入はゲート電極層に対して自己整合的に行なわれるために、NチャネルMOSトランジスタのゲート電極層中にはN型不純物が、PチャネルMOSトランジスタのゲート電極層中にはP型不純物が導入されている。さらに、導入させたN型、P型不純物を活性化させるために、 950°C の不活性ガス雰囲気中で20分熱処理を行なった。この熱処理によっても、窒化シリコン層 212 の差にトランジスタのしきい値電圧がシフトしたり、いわゆる突き抜け現象が現れる等の特性の劣化はない。

【0035】この後層間絶縁膜を形成した後、配線層であるアルミニウムを接点孔を介して多結晶シリコンと接続させた(図2(c))。

【0036】上の方法においては、P型MOSトランジスタで説明を行ったが、N型MOSトランジスタでも同様である。また、ゲート電極層としてポリサイド電極構造を採用することができる。タングステンポリサイド、モリブデンポリサイド、クロムポリサイド、ニッケルポリサイド、チタンポリサイド、バナジウムポリサイド、白金ポリサイド、鉛ポリサイド、パラジウムポリサイド、マンガンポリサイド、鉄ポリサイド、コバルトポリサイド等であってもよい。また、酸素プラズマのかわりに、酸素プラズマ、アンモニアプラズマ、 H_2O プラズマ等で処理しても効果は同様である。

【0037】(実施例3) 図3は、本発明によるMIS型半導体装置の製造装置及びその製造方法の一実施例であり、特にP型MOSトランジスタの場合について工程順に説明する。P型シリコン基板 201 上に、N型のウェル拡散層 215 を形成させた後、素子の活性領域 202 と厚い酸化膜でおおわれた素子の分離領域 203 を形成した。初めに、 1000°C 乾燥酸液中、40分熱酸化して、 40nm のゲート酸化膜 204 を形成させた。このゲート酸化膜の上部に第1アモルファスシリコン層 205 を堆積させた。形成条件としては、 550°C の雰囲気中でシランの熱分解によって行なわれ、 20nm 堆積した。

【0038】つぎに、酸素雰囲気中で第1アモルファスシリコン層 205 を窒化させた。この時の窒化条件は、温度 1000°C 、窒素流量 15 [リットル/分]、時間 30 秒であった。これにより、第1アモルファスシリコン層の上には 1.5nm 程度の窒化シリコン層 212 が形成される。次に、第1多結晶シリコン膜 206 を堆積させた。形成条件としては、 620°C の雰囲気中でシランの熱分解によって行なわれ、 400nm 堆積した(図3(a))。

【0039】この後フォトリソグラフィ技術とエッチング技術によって、ポリシリコン層を加工し、ゲート電極層 208 として形成させた。次に、 900°C の温度で

乾燥酸液中20分熱処理をした。次に、Pチャネルトランジスタ部分にはソース、ドレイン領域および、ゲート電極層の導電型を決めるために、P型不純物として、例えば硼素イオン 211 を 15keV で 5×10^{15} [個/ cm^2]を導入した。(図3(b))この、ソース、ドレイン領域への不純物の導入はゲート電極層に対して自己整合的に行なわれるために、NチャネルMOSトランジスタのゲート電極層中にはN型不純物が、PチャネルMOSトランジスタのゲート電極層中にはP型不純物が導入されている。さらに、導入させたN型、P型不純物を活性化させるために、 950°C の不活性ガス雰囲気中で20分熱処理を行なった。この熱処理によっても、窒化シリコン層 212 の差にトランジスタのしきい値電圧がシフトしたり、いわゆる突き抜け現象が現れる等の特性の劣化はない。

【0040】この後層間絶縁膜を形成した後、配線層であるアルミニウムを接点孔を介して多結晶シリコンと接続させた(図3(c))。

【0041】上の方法においては、P型MOSトランジスタで説明を行ったが、N型MOSトランジスタでも同様である。また、ゲート電極層としてポリサイド電極構造を採用することができる。タングステンポリサイド、モリブデンポリサイド、クロムポリサイド、ニッケルポリサイド、チタンポリサイド、バナジウムポリサイド、白金ポリサイド、鉛ポリサイド、パラジウムポリサイド、マンガンポリサイド、鉄ポリサイド、コバルトポリサイド等であってもよい。また、酸素のかわりに、酸素、アンモニア、 H_2O 等で処理しても効果は同様である。

【0042】(実施例4) 図4は、本発明によるMIS型半導体装置の製造装置及びその製造方法の一実施例であり、特にP型MOSトランジスタの場合について工程順に説明する。P型シリコン基板 201 上に、N型のウェル拡散層 215 を形成させた後、素子の活性領域 202 と厚い酸化膜でおおわれた素子の分離領域 203 を形成した。初めに、 1000°C 乾燥酸液中、40分熱酸化して、 40nm のゲート酸化膜 204 を形成させた。このゲート酸化膜の上部に第1アモルファスシリコン層 205 を堆積させた。形成条件としては、 550°C の雰囲気中でシランの熱分解によって行なわれ、 20nm 堆積した。

【0043】つぎに、純水溶液中に第1アモルファスシリコン層 205 を浸せきさせた。この時の浸漬の条件は、純水 15 リットル、液温 80°C 、時間 15 分であった。これにより、第1アモルファスシリコン層の上には 1nm 程度の窒化シリコン層 212 が形成される。次に、第1多結晶シリコン膜 206 を堆積させた。形成条件としては、 620°C の雰囲気中でシランの熱分解によって行なわれ、 400nm 堆積した(図4(a))。

【0044】この後フォトリソグラフィ技術とエッチ

ング技術によって、ポリシリコン層を加工し、ゲート電極層208として形成させた。次に、900℃の温度で乾燥酸液中20分熱処理をした。次に、Pチャネルトランジスタ部分にはソース、ドレイン領域および、ゲート電極層の導電型を決めるために、P型不純物として、たとえば硼素イオン211を15keVで 5×10^{15} [個/cm²]を導入した。(図4(b))この、ソース、ドレイン領域への不純物の導入はゲート電極層に対して自己整合的に行なわれるために、NチャネルMOSトランジスタのゲート電極層中にはN型不純物が、PチャネルMOSトランジスタのゲート電極層中にはP型不純物が導入されている。さらに、導入させたN型、P型不純物を活性化させるために、950℃の不活性ガス雰囲気中で20分熱処理を行なった。この熱処理によって、窒化シリコン層212の為にトランジスタのしきい値電圧がシフトしたり、いわゆる突き抜け現象が現れる等の特性の劣化はない。

【0045】この後層間酸化物を形成した後、酸化物層であるアルミニウムを接続孔を介して多結晶シリコンと接続させた(図4(c))。

【0046】上の方法においては、P型MOSトランジスタで説明を行ったが、N型MOSトランジスタでも同様である。また、ゲート電極層としてポリサイド電極構造を採用することができる。タングステンポリサイド、モリブデンポリサイド、クロムポリサイド、ニッケルポリサイド、チタンポリサイド、バナジウムポリサイド、白金ポリサイド、鉛ポリサイド、パラジウムポリサイド、マンガンポリサイド、鉄ポリサイド、コバルトポリサイド等であってもよい。また、純水のかわりは、過酸化水素、過酸化水素水溶液、硫酸、硫酸水溶液、アンモニア水溶液、水酸化カリウム水溶液、メタノール、エタノール、イソプロピルアルコール、酢酸水溶液、硝酸水溶液等、あるいはこれらの蒸気雰囲気中で処理しても効果は同様である。

【0047】

【発明の効果】以上本発明によれば、トランジスタへの不純物導入後の熱処理温度及び時間に余裕をもたせることが出来るようになったため、不純物導入時に形成される結晶欠陥を十分回復させることが出来るようになり、素子の信頼性を向上させることが可能になった。また、導入した不純物のイオン化率を高めることが出来るようになったため、ポリシリコン層の抵抗を下げることで、また、ポリサイド電極層の場合は、シリサイド層とポリシリコンの接触抵抗を下げることでできたため、トランジスタの最大動作速度を従来より5パーセント程

度向上させることができ、スレショルド電圧の変動を0.05V程度に押されることが可能となり、集積回路の性能を向上させることが出来た。

【図面の簡単な説明】

【図1】本発明のMIS型半導体装置製造方法の一実施例の工程断面図である。

【図2】本発明のMIS型半導体装置製造方法の一実施例の工程断面図である。

【図3】本発明のMIS型半導体装置製造方法の一実施例の工程断面図である。

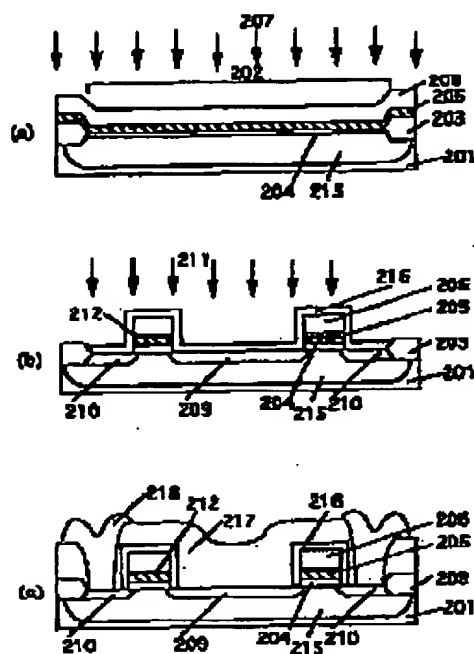
【図4】本発明のMIS型半導体装置製造方法の一実施例の工程断面図である。

【図5】従来のMIS型半導体装置製造方法の一実施例の工程断面図である。

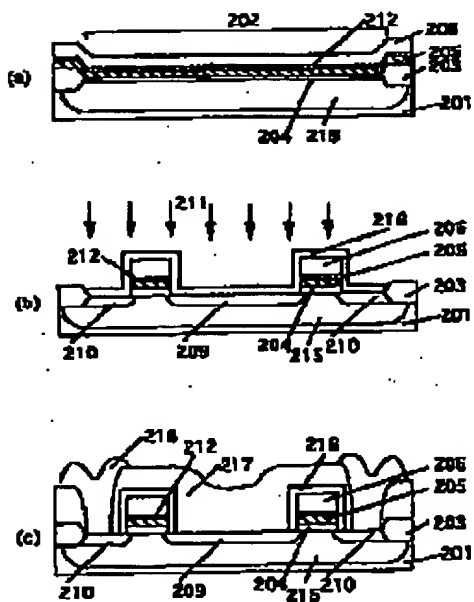
【符号の説明】

- 101 ……シリコン基板
- 102 ……ゲート酸化膜
- 103 ……厚い酸化膜層
- 107 ……第1多結晶シリコン層
- 108 ……ゲート電極層
- 109 ……酸化膜層
- 110 ……層間酸化シリコン膜
- 111 ……硼イオン
- 112 ……硼素イオン
- 113 ……硼素イオン
- 114 ……拡散層
- 115 ……ウエル拡散層
- 110 ……CVD酸化膜
- 111 ……アルミニウム
- 201 ……シリコン基板
- 202 ……素子の活性領域
- 203 ……素子分離領域
- 204 ……ゲート酸化膜
- 205 ……第1アモルファスシリコン
- 206 ……第1多結晶シリコン
- 207 ……イオン化硼素
- 208 ……ゲート電極層
- 209 ……ソース領域
- 210 ……ドレイン領域
- 211 ……イオン化硼素
- 212 ……窒化シリコン層
- 215 ……ウエル拡散層
- 216 ……酸化シリコン膜
- 217 ……層間酸化物
- 218 ……アルミニウム

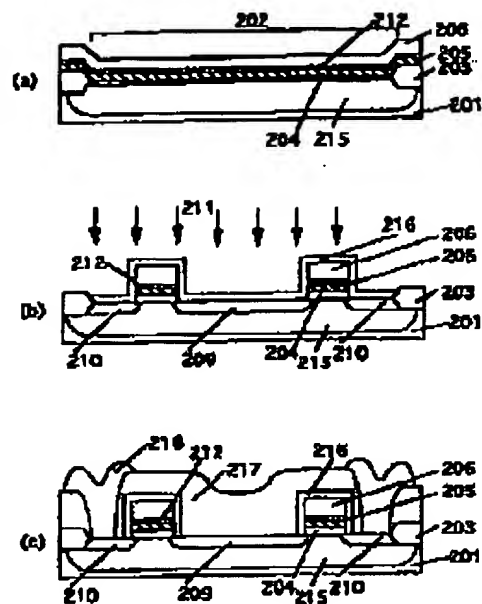
【図1】



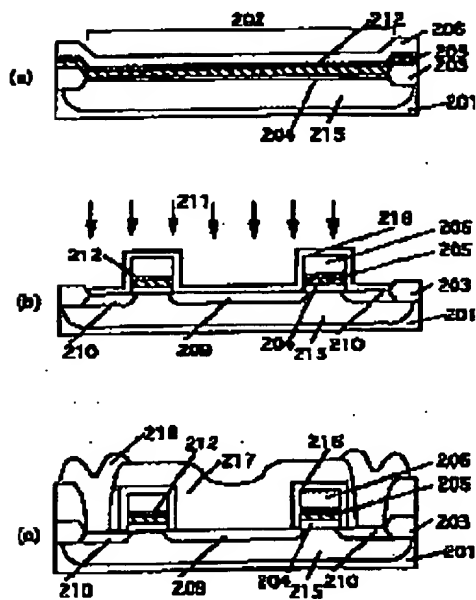
【図3】



【図2】



【図4】



【図5】

